



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Kazuhiko TAKAHASHI :

Serial No.: 10/768,184 :

Filed: February 2, 2004 : Attorney Docket No. OKI.638

For: FERROELECTRIC MEMORY DEVICE HAVING TEST MEMORY CELL

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
**Customer Window, Mail Stop Missing Parts**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Japanese application:


Appln. No. 2003-024514 filed January 31, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

  
Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: June 10, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 2 4 5 1 4  
Application Number:

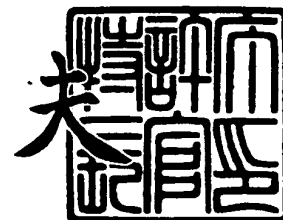
[ST. 10/C] :            [ J P 2 0 0 3 - 0 2 4 5 1 4 ]

出   願   人            沖電気工業株式会社  
Applicant(s):

2 0 0 4 年   2 月 1 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 OH003806

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00 603  
G11C 11/22

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会  
社内

【氏名】 ▲高▼橋 和彦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリおよびその判定方法

【特許請求の範囲】

【請求項 1】 ビット線およびビット相補線を有するビット線対と、  
前記ビット線対と交差するように配置されたワード線およびプレート線と、  
対応する前記ワード線および前記プレート線の電位にしたがって前記ビット線から入力したデータを記憶し且つ該ビット線にデータを出力する 1T/1C 型の第 1 メモリセルと、対応する前記ワード線および前記プレート線の電位にしたがって前記ビット相補線から入力したデータを記憶し且つ該ビット相補線にデータを出力する 1T/1C 型の第 2 メモリセルとを有するメモリセル部と、  
前記ビット線対と交差するように配置された判定用ワード線および判定用プレート線と、  
対応する前記判定用ワード線および前記判定用プレート線の電位にしたがって前記ビット線および前記ビット相補線から入力した相補データを記憶し且つ該ビット線および該ビット相補線に相補データを出力する 2T/2C 型の判定用メモリセルを有する判定用メモリセル部と、  
前記第 2 メモリセルから前記ビット相補線にデータが読み出されるときに前記ビット線に参照電位を印加する第 1 参照電位発生回路と、前記第 1 メモリセルから前記ビット線にデータが読み出されるときに前記ビット相補線に前記参照電位を印加する第 2 参照電位発生回路とを備える参照電位発生部と、  
前記ビット線および前記ビット相補線の電位を比較し、電位が高い方の線に所定のハイレベル電位を印加するとともに電位が低い方の線に所定のローレベル電位を印加するセンスアンプと、  
前記判定用メモリセルから読み出されたデータを前記第 1 メモリセルに記憶させた後で、該記憶データを該第 1 メモリセルから読み出して前記判定用メモリセルに書き込む動作を前記第 1 メモリセルに対して行い、且つ、前記判定用メモリセルから読み出されたデータを前記第 2 メモリセルに記憶させた後で、該記憶データを該第 2 メモリセルから読み出して前記判定用メモリセルに書き込む動作を前記第 2 メモリセルに対して行うコントロール部と、

を備えることを特徴とする強誘電体メモリ。

【請求項 2】 前記ビット線対には、複数の前記第 1 メモリセルと複数の前記第 2 メモリセルとが接続されており、

前記コントロール部は、前記複数の第 1 メモリセルそれぞれに対して、前記判定用メモリセルから読み出されたデータの記憶、該記憶データの読み出しおよび該記憶データの前記判定用メモリセルへの書き込みを行い、且つ、前記複数の第 2 メモリセルのそれぞれに対して、前記判定用メモリセルから読み出されたデータの記憶、該記憶データの読み出しおよび該記憶データの前記判定用メモリセルへの書き込みを行う、

ことを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 3】 前記判定用メモリセルは、前記プレート線および第 1 判定用ワード線の電位にしたがって前記ビット線から入力したデータを記憶し且つ該ビット線にデータを出力する 1T/1C 型の第 1 判定用メモリセルと、前記プレート線および第 2 判定用ワード線の電位にしたがって前記ビット相補線から入力したデータを記憶し且つ該ビット相補線にデータを出力する 1T/1C 型の第 2 判定用メモリセルとから構成され、

前記判定用メモリセルに対応する前記第 1 判定用ワード線および前記第 2 判定用ワード線を同時に活性化または被活性化することによって 2T/2C 型判定用メモリセルとして動作する、

ことを特徴とする請求項 1 または 2 に記載の強誘電体メモリ。

【請求項 4】 前記センスアンプの出力端子とディジット線およびディジット相補線との間に設けられたゲートトランジスタと、

通常動作時には前記ゲートトランジスタのオンまたはオフをアドレス信号に基づいて制御し、試験モード時には前記ゲートトランジスタをオフするゲートコントロール回路と、

通常動作時にはそれぞれの前記センスアンプの動作/停止をアドレス信号に基づいて制御し、試験モードにはすべての前記センスアンプを同時に動作させるセンスアンプコントロール回路と、

をさらに備えることを特徴とする請求項 1～3 のいずれかに記載の強誘電体メ

メモリ。

【請求項 5】 前記ワード線、前記プレート線、前記判定用ワード線、前記判定用プレート線、前記参照電位発生部用の制御線の電位を制御するためのコントロール回路と、

前記コントロール回路に供給するテスト用アドレスおよびテスト用データを発生するパターンジェネレータと、

前記コントロール回路に供給するテスト用イネーブル回路を生成するコントロールロジック回路と、

をさらに備えることを特徴とする請求項 1～4 のいずれかに記載の強誘電体メモリ。

【請求項 6】 ビット線およびビット相補線を有するビット線対と、

前記ビット線対と交差するように配置されたワード線およびプレート線と、

対応する前記ワード線および前記プレート線の電位にしたがって前記ビット線から入力したデータを記憶し且つ該ビット線にデータを出力する 1T/1C 型の第 1 メモリセルと、対応する前記ワード線および前記プレート線の電位にしたがって前記ビット相補線から入力したデータを記憶し且つ該ビット相補線にデータを出力する 1T/1C 型の第 2 メモリセルとを有するメモリセル部と、

前記ビット線対と交差するように配置された判定用ワード線および判定用プレート線と、

対応する前記判定用ワード線および前記判定用プレート線の電位にしたがって前記ビット線および前記ビット相補線から入力した相補データを記憶する 2T/2C 型の判定用メモリセルを有する判定用メモリセル部と、

前記第 2 メモリセルから前記ビット相補線にデータが読み出されるときに前記ビット線に参照電位を印加する第 1 参照電位発生回路と、前記第 1 メモリセルから前記ビット線にデータが読み出されるときに前記ビット相補線に前記参照電位を印加する第 2 参照電位発生回路とを備える参照電位発生部と、

前記ビット線および前記ビット相補線の電位を比較し、電位が高い方の線に所定のハイレベル電位を印加するとともに電位が低い方の線に所定のローレベル電位を印加するセンスアンプと、

を備える強誘電体メモリの判定方法において、

前記判定用メモリセルに記憶されている前記相補データを前記ビット線および前記ビット相補線に読み出す工程と、

前記相補データのうち、前記ビット線に読み出されたデータを前記第 1 メモリセルに記憶させ、または、前記ビット相補線に読み出されたデータを前記第 2 メモリセルに記憶させる工程と、

前記第 1 メモリセルまたは前記第 2 メモリセルに記憶されたデータを前記ビット線または前記ビット相補線に出力した後、該ビット線または該ビット相補線から前記判定用メモリセルに該データを書き込む工程と、

その後、前記判定用メモリセルに記憶された前記相補データを、最初に前記判定用メモリセルに記憶されていた前記相補データと比較する工程と、

を備えることを特徴とする強誘電体メモリの判定方法。

【請求項 7】 前記ビット線対には、複数の前記第 1 メモリセルと複数の前記第 2 メモリセルとが接続されており、

前記複数の第 1 メモリセルおよび前記複数の第 2 メモリセルのそれぞれに対して、前記判定用メモリセルに記憶されている前記相補データを前記ビット線および前記ビット相補線に読み出す工程と、前記相補データのうち、前記ビット線に読み出されたデータを前記第 1 メモリセルに記憶させ、または、前記ビット相補線に読み出されたデータを前記第 2 メモリセルに記憶させる工程と、前記第 1 メモリセルまたは前記第 2 メモリセルに記憶されたデータを前記ビット線または前記ビット相補線に出力した後、該ビット線または該ビット相補線から前記判定用メモリセルに該データを書き込む工程とを行い、

その後、前記判定用メモリセルに対して、該判定用メモリセルに記憶された前記相補データを、最初に前記判定用メモリセルに記憶されていた前記相補データと比較する工程を行う、

ことを特徴とする請求項 6 に記載の強誘電体メモリの判定方法。

【請求項 8】 前記判定用メモリセルは、前記プレート線および第 1 判定用ワード線にしたがって前記ビット線から入力したデータを記憶し且つ該ビット線に対してデータを出力する 1T/1C 型の第 1 判定用メモリセルと、前記プレー

ト線および第2判定用ワード線の電位にしたがって前記ビット相補線から入力したデータを記憶し且つ該ビット相補線にデータを出力する1T/1C型の第2判定用メモリセルとから構成されており、

前記第1判定用ワード線および前記第2判定用ワード線を同時に活性化または非活性化することによって、前記判定用メモリセルに記憶されている前記相補データを前記ビット線および前記ビット相補線に読み出す工程と、前記第1メモリセルまたは前記第2メモリセルに記憶されたデータを前記ビット線または前記ビット相補線に出力した後、該ビット線または該ビット相補線から前記判定用メモリセルに該データを書き込む工程とが行われる、

ことを特徴とする請求項6または7に記載の強誘電体メモリの判定方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、強誘電体メモリおよびその判定方法に関し、より詳細には、冗長救済機能を有する強誘電体メモリおよびその判定方法に関する。

##### 【0002】

#### 【従来の技術】

従来より、半導体メモリの一種として、強誘電体メモリが知られている。強誘電体メモリとは、強誘電体キャパシタの分極を利用して二値化データを記録するメモリである。強誘電体メモリの構造および原理を開示した文献としては、例えば、下記の非特許文献1、2等がある。これらの非特許文献1、2に示されているように、強誘電体メモリとしては、1T/1C型のものと2T/2C型のものとが知られている。

##### 【0003】

1T/1C型強誘電体メモリでは、1個のトランジスタと1個の強誘電体キャパシタとによってメモリセルが構成される。そして、強誘電体キャパシタから読み出された電位と参照電位とを比較することにより、記憶値が判断される。

##### 【0004】

一方、2T/2C型強誘電体メモリでは、2個のトランジスタと2個の強誘電



体キャパシタとによってメモリセルが構成される。2 個の強誘電体キャパシタには、値「1」および「0」が、相補的に記憶される。そして、これら 2 個の強誘電体キャパシタから読み出された電位を比較することにより、記憶値が判断される。

#### 【0 0 0 5】

また、従来より、半導体メモリの動作を試験する技術が知られている。動作試験では、メモリセルが値「1」および「0」を正しく記憶することができるかが、試験される。この動作試験では、すべてのメモリセルに対して、試験装置によるデータの書き込みおよび読み出しが行われる。すなわち、まず、すべてのメモリセルに対して試験用データが書き込まれ、続いて、これらの書き込みデータがすべて読み出される。そして、読み出されたデータの値をそれぞれ書き込みデータの値と比較することによって、各メモリセルの良／否が判定される。

#### 【0 0 0 6】

メモリセルの良／否を判定する技術としては、例えば、下記特許文献 1 に、D R A M (Dynamic Random Access Memory) の例が開示されている。

#### 【0 0 0 7】

##### 【非特許文献 1】

深水克郎「低消費電力、高速 L S I 技術」リアライズ社、平成 1 0 年 1 月 3 1 日、p231-250

##### 【非特許文献 2】

川合知二編著「消えない I C メモリー F R A M のすべてー」工業調査会、1 9 9 6 年 7 月 9 日、p29-37

##### 【特許文献 1】

特開平 1 0 - 1 4 4 0 9 1 号公報（第 3 - 4 頁、図 1、図 2）

#### 【0 0 0 8】

##### 【発明が解決しようとする課題】

近年、強誘電体メモリの大容量化の要請が大きく、したがって、1 チップの強誘電体メモリに形成されるメモリセル数が増大する傾向にある。ここで、強誘電体メモリ内に例え 1 個でも不良メモリセルが含まれていれば、そのメモリチップ

は不良品となる。このため、メモリセル数の増大は、強誘電体メモリの歩留まりを低下させる原因となる。

#### 【0009】

これに対して、メモリチップ内に冗長セルを設けることによって歩留まりの向上を図る技術が、知られている。かかる技術を用いた強誘電体メモリでは、通常のメモリセルアレイに加えて、冗長メモリセルアレイが設けられる。そして、通常のメモリセルアレイ内に不良メモリセルが存在する場合には、その不良メモリセルを含むメモリセル行（またはメモリセル列）に代えて、冗長メモリセルアレイ内のメモリセル行（またはメモリセル列）が使用される。これにより、通常のメモリセルアレイ内に不良メモリセルが含まれるにも拘わらず良品として扱える確率が高まるので、強誘電体メモリの歩留まりを向上させることができる。

#### 【0010】

しかしながら、冗長メモリセルアレイを設ける場合、1チップの強誘電体メモリ内に形成されるメモリセル数は、さらに多くなる。このため、メモリセルの動作試験に要する時間が非常に長くなってしまうという欠点が生じる。

#### 【0011】

さらに、冗長メモリセルアレイの割り当てを定めるための動作試験（冗長救済試験）では、不良メモリセルのアドレスを検出する必要がある。このため、従来の強誘電体メモリ用の動作試験装置は、膨大な数の試験結果を記憶するとともに、これらの試験結果から不良メモリセルのアドレスを解析する必要があった。このため、強誘電体メモリ用動作試験装置は、構成や制御内容が複雑であり、高価であった。

#### 【0012】

不良メモリセルのアドレスを検出する技術は、例えば、上記特許文献1に開示されている。しかしながら、特許文献1の技術は、DRAMのリフレッシュ機能を利用した技術であり、リフレッシュの不要な強誘電体メモリに適用することは困難である。

#### 【0013】

以上のような理由から、強誘電体メモリの回路規模を増大させることなく、低

コスト且つ高速で、冗長救済試験を行う技術が囑望されていた。

#### 【0014】

##### 【課題を解決するための手段】

(1) 第1の発明に係る強誘電体メモリは、ビット線およびビット相補線を有するビット線対と、ビット線対と交差するように配置されたワード線およびプレート線と、対応するワード線およびプレート線の電位にしたがってビット線から入力したデータを記憶し且つ該ビット線にデータを出力する1T/1C型の第1メモリセルと、対応するワード線およびプレート線の電位にしたがってビット相補線から入力したデータを記憶し且つ該ビット相補線にデータを出力する1T/1C型の第2メモリセルとを有するメモリセル部と、ビット線対と交差するように配置された判定用ワード線および判定用プレート線と、対応する判定用ワード線および判定用プレート線の電位にしたがってビット線およびビット相補線から入力した相補データを記憶し且つ該ビット線および該ビット相補線に相補データを出力する2T/2C型の判定用メモリセルを有する判定用メモリセル部と、第2メモリセルからビット相補線にデータが読み出されるときにビット線に参照電位を印加する第1参照電位発生回路と、第1メモリセルからビット線にデータが読み出されるときにビット相補線に参照電位を印加する第2参照電位発生回路とを備える参照電位発生部と、ビット線およびビット相補線の電位を比較し、電位が高い方の線に所定のハイレベル電位を印加するとともに電位が低い方の線に所定のローレベル電位を印加するセンスアンプと、判定用メモリセルから読み出されたデータを第1メモリセルに記憶させた後で該記憶データを該第1メモリセルから読みして判定用メモリセルに書き込む動作を第1メモリセルに対して行い、且つ、判定用メモリセルから読み出されたデータを第2メモリセルに記憶させた後で該記憶データを該第2メモリセルから読みして判定用メモリセルに書き込む動作を第2メモリセルに対して行うコントロール部とを備える。

#### 【0015】

第1の発明によれば、判定用メモリセルを用いて動作試験を行うこととしたので、外部からの簡単な制御のみで、1行分のメモリセルの動作試験を行うことができる。また、判定用メモリセルを2T/2C型としたので、動作試験時にビッ

ト線とビット相補線との電位差を十分に大きくすることができ、したがって、動作試験の信頼性が高い。

#### 【0016】

(2) 第2の発明に係る強誘電体メモリの判定方法は、ビット線およびビット相補線を有するビット線対と、ビット線対と交差するように配置されたワード線およびプレート線と、対応するワード線およびプレート線の電位にしたがってビット線から入力したデータを記憶し且つ該ビット線にデータを出力する1T/1C型の第1メモリセルと、対応するワード線およびプレート線の電位にしたがってビット相補線から入力したデータを記憶し且つ該ビット相補線にデータを出力する1T/1C型の第2メモリセルとを有するメモリセル部と、ビット線対と交差するように配置された判定用ワード線および判定用プレート線と、対応する判定用ワード線および判定用プレート線の電位にしたがってビット線およびビット相補線から入力した相補データを記憶する2T/2C型の判定用メモリセルを有する判定用メモリセル部と、第2メモリセルからビット相補線にデータが読み出されるときにビット線に参照電位を印加する第1参照電位発生回路と、第1メモリセルからビット線にデータが読み出されるときにビット相補線に参照電位を印加する第2参照電位発生回路とを備える参照電位発生部と、ビット線およびビット相補線の電位を比較し、電位が高い方の線に所定のハイレベル電位を印加するとともに電位が低い方の線に所定のローレベル電位を印加するセンスアンプとを備える強誘電体メモリの判定方法に関する。

#### 【0017】

そして、判定用メモリセルに記憶されている相補データをビット線およびビット相補線に読み出す工程と、相補データのうち、ビット線に読み出されたデータを第1メモリセルに記憶させ、または、ビット相補線に読み出されたデータを第2メモリセルに記憶させる工程と、第1メモリセルまたは第2メモリセルに記憶されたデータをビット線またはビット相補線に出力した後、該ビット線または該ビット相補線から判定用メモリセルに該データを書き込む工程と、その後、判定用メモリセルに記憶された相補データを、最初に判定用メモリセルに記憶されていた相補データと比較する工程とを備えることを特徴とする。

## 【0018】

第2の発明によれば、判定用メモリセルを用いて動作試験を行うこととしたので、外部からの簡単な制御のみで、1行分のメモリセルの動作試験を行うことができる。また、判定用メモリセルを2T/2C型としたので、動作試験時にビット線とビット相補線との電位差を十分に大きくすることができ、したがって、動作試験の信頼性が高い。

## 【0019】

## 【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、本発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

## 【0020】

第1の実施の形態

以下、第1の実施の形態に係る強誘電体メモリおよびその判定方法を説明する。

## 【0021】

図1は、この実施の形態に係る強誘電体メモリの構成を概略的に示す回路図である。また、図2は、アレイブロック100の、メモリセル1行分の内部構成を概略的に示す回路図である。

## 【0022】

図1、2に示したように、この強誘電体メモリは、 $k+1$ 個のアレイブロック100-0～100-k（図2では100）と、1個のアレイコントロール回路200と、ワード線WL0～WL $n$ と、プレート線PL0～PL $m$ と、判定用ワード線JWL0～JWL7と、判定用プレート線JPL0～JPL3と、基準電位制御線BLVEU、BLVEDと、ゲート制御線YSEL0～YSEL $m$ と、センスアンプ制御線SAE0～SAE $k$ （図2ではSAE）と、ディジット線DB0～DB $n$ と、ディジット相補線DBb0～DBb $n$ とを備えている。

## 【0023】

また、各アレイブロック 100-0~100-k は、メモリセル部 110 と、判定用メモリセル部 120 と、基準電位発生回路 130 と、センスアンプ 140-00~140-mn と、ビット線 BL00~BLmn (図2ではBL) およびビット相補線 BLb00~BLbmn (図2ではBLb) と、ゲートトランジスタ GT00~GTmn, GTb00~GTbmn とを備えている。

#### 【0024】

以下、各部の詳細を説明する。

#### 【0025】

メモリセル部 100 は、1行毎に、 $n+1$  個のトランジスタ  $T_0 \sim T_n$  と、 $n+1$  個の強誘電体キャパシタ  $C_0 \sim C_n$  とを備える。そして、 $n+1$  個のメモリセル  $MC_0 \sim MC_n$  が、それぞれ、1 個のトランジスタと 1 個の強誘電体キャパシタとによって構成される。トランジスタ  $T_0 \sim T_n$  のゲートは、それぞれ、対応するワード線  $WL_0 \sim WL_n$  に接続される。また、これらのトランジスタ  $T_0 \sim T_n$  の一端は、それぞれ、対応する強誘電体キャパシタ  $C_0 \sim C_n$  の一端に接続される。そして、これらの強誘電体キャパシタ  $C_0 \sim C_n$  の他端は、対応するプレート線  $PL_0 \sim PL_m$  に接続される。さらに、偶数番目のトランジスタ  $T_0, T_2, \dots, T_{n-1}$  の他端はビット線 BL に接続され、奇数番目のトランジスタ  $T_1, T_3, \dots, T_n$  の他端はビット線 BLb に接続される。

#### 【0026】

判定用メモリセル部 120 は、1行毎に、8 個のトランジスタ  $JT_0 \sim JT_7$  と、8 個の強誘電体キャパシタ  $JC_0 \sim JC_7$  とを備える。そして、8 個のメモリセル  $JMC_0 \sim JMC_7$  が、それぞれ、1 個のトランジスタと 1 個の強誘電体キャパシタとによって構成される。トランジスタ  $JT_0 \sim JT_7$  のゲートは、それぞれ、対応する判定用ワード線  $JWL_0 \sim JWL_7$  に接続される。また、これらのトランジスタ  $JT_0 \sim JT_7$  の一端は、それぞれ、対応する判定用強誘電体キャパシタ  $JC_0 \sim JC_7$  の一端に接続される。そして、これらの判定用強誘電体キャパシタ  $JC_0 \sim JC_n$  の他端は、対応する判定用プレート線  $JPL_0 \sim JPL_3$  に接続される。さらに、偶数番目のトランジスタ  $JT_0, JT_2, JT_4, JT_6$  の他端はビット線 BL に接続され、奇数番目のトランジスタ  $JT_1, J$

T3, JT5, JT7の他端はビット線BLbに接続される。なお、後述するように、判定用ワード線JWL0, JWL1は、常に、同時にハイレベルまたはローレベルに設定される。これにより、1T/1C型の判定用メモリセルJMC0, JMC1は、1個の2T/2C型メモリセルとして動作する。同様に、判定用ワード線JWL2, JWL3、判定用ワード線JWL4, JWL5、判定用ワード線JWL6, JWL7もそれぞれ常に同時にハイレベルまたはローレベルに設定され、これにより、判定用メモリセルJMC2, JMC3、判定用メモリセルJMC4, JMC5および判定用メモリセルJMC6, JMC7はそれぞれ1個の2T/2C型メモリセルとして動作する。

#### 【0027】

ビット線BLおよびビット相補線BLbは、ビット線対を形成しており、メモリセル部110および判定用メモリセル部120の行ごとに設けられる。

#### 【0028】

ワード線WL0~WLnは、メモリセルの列ごとに設けられる。

#### 【0029】

プレート線PL0~PLmは、ワード線対ごとに設けられ、各ワード線と平行に配置される。したがって、プレート線数mは、ワード線数nの2分の1である。

#### 【0030】

判定用ワード線JWL0~JWL7は、判定用メモリセルの列ごとに設けられる。これらの判定用ワード線JWL0~JWL7は、隣接するものどうしで、それぞれ判定用ワード線対を形成している。

#### 【0031】

判定用プレート線JPL0~JPL3は、判定用ワード線対ごとに設けられ、各判定用ワード線と平行に配置される。

#### 【0032】

基準電位発生部130は、1行毎に、基準電位発生回路131, 132を備える。基準電位発生回路131は、制御線BLVEUの電位がハイレベルのときに、ビット線BLに基準電位Vrefを印加する。基準電位発生回路132は、制御

線 BLVED の電位がハイレベルのときに、ビット線 BLb に基準電位 Vref を印加する。

#### 【0033】

センスアンプ 140-00～140-mn は、制御線 SAE0～SAEk がハイレベルのときに、ビット線 BL, BLb の電位を入力し、これらの電位を比較する。そして、電位が高い方のビット線にハイレベルを印加し、且つ、電位が低い方のビット線にローレベルを印加する。さらに、センスアンプは、ビット線 BL, BLb への印加電位と同じ電位を、ゲートトランジスタ GT, GTb を介して、ディジット線 DB, DBb に出力する。

#### 【0034】

ゲートトランジスタ GT00～GTmn, GTb00～GTbmn は、センスアンプ 140-00～140-mn の出力電位をディジット線 DB0～DBn およびディジット相補線 DBb0～DBbn に供給するためのゲートである。ゲートトランジスタ GT00～GTmn, GTb00～GTbmn のオン／オフは、ゲート制御線 YSEL0～YSELM によって制御される。

#### 【0035】

アレイコントロール部 200 は、ワード線 WL0～WLn、プレート線 PL0～PLm、判定用ワード線 JWL0～7、判定用プレート線 JPL0～JPL3、基準電位制御線 BLVEU, BLVED およびゲート制御線 YSEL0～YSELM を用いて、各アレイブロック 100-0～100-k の動作を制御する。

#### 【0036】

次に、図 2 に示したメモリセル MC0～MCn の冗長試験動作について、図 3 および図 4 を用いて説明する。図 3 は、この実施の形態に係る強誘電体メモリの冗長試験動作を説明するためのタイミングチャートである。また、図 4 は、図 3 のタイミングチャートの時刻 t1～t12 における強誘電体キャパシタ JC0, JC1, C0 の分極状態を示す概念図である。

#### 【0037】

この試験では、予め判定用メモリセル JMC0～JMC7 に、判定データが書き込まれる（図 3、図 4 の時刻 t0 参照）。この実施の形態では、判定用メモリ



セルJMC0, JMC3, JMC5, JMC6には‘0’を書き込み、且つ、判定用メモリセルJMC1, JMC2, JMC4, JMC7には‘1’を書き込むことにする。また、強誘電体キャパシタC0の初期記憶値は、特定されない。

#### 【0038】

まず、以下のようにして、判定用メモリセルJMC0の記憶データ‘0’がメモリセルMC0に書き込まれる（図3、図4の時刻t1～t6参照）。

#### 【0039】

まず、時刻t1に、アレイコントロール回路200が、判定用ワード線JWL0, JWL1および判定用プレート線JPL0を、同時にハイレベルにする。上述のように、判定用メモリセルJMC0には‘0’が記憶され且つ判定用メモリセルJMC1には‘1’が記憶されているので、ビット線BLの電位はローレベルになり且つビット相補線BLbの電位はハイレベルになる。

#### 【0040】

時刻t2に、アレイコントロール回路200が、制御線SAEをハイレベルにする。センスアンプ140が、ビット線BLおよびビット相補線BLbの電位を比較する。そして、ビット線BLおよびビット相補線BLbのうち、電位が高い方（ここではビット相補線BLb）にハイレベルを印加し、且つ、電位が低い方（ここではビット線BL）にローレベルを印加する。なお、センスアンプ140は線BL, BLbへの印加電位と同じ電位を外部にも出力するが、ゲートトランジスタGT, GTbがオフしているため、ディジット線DB, DBbには供給されない。時刻t2では、判定用プレート線JPL0はハイレベルである。このため、センスアンプ140がビット線BLをローレベルにすると、判定用プレート線JPL0とビット線BLとの電位差により、判定用強誘電体キャパシタJC0に値‘0’の上書きが開始される。一方、ビット相補線BLbの電位はハイレベルになるので、判定用強誘電体キャパシタJC1に対する上書きは開始されない。

#### 【0041】

時刻t3に、アレイコントロール回路200が、ワード線WL0およびプレート線PL0をハイレベルにする。これにより、トランジスタT0がオンする。そ

して、ビット線BLがローレベル且つプレート線PL0がハイレベルなので、メモリセルMC0の強誘電体キャパシタC0に対して、値‘0’の書き込みが開始される。なお、ワード線WL1～WLnがローレベルなので、他のメモリセルの強誘電体キャパシタC1～Cnに対する書き込みは行われない。

#### 【0042】

時刻t4に、アレイコントロール回路200が、プレート線PL0および判定用プレート線JPL0、JPL1をローレベルにする。プレート線PL0がローレベルになると、ビット線BLとプレート線PL0とが同電位になるので、強誘電体キャパシタC0に対する書き込みは終了する。また、ビット線BLと判定用プレート線JPL0とが同電位になるので、強誘電体キャパシタJC0に対する上書きも終了する。一方、ビット相補線BLbと判定用プレート線JPL0との間に電位差が生じるので、強誘電体キャパシタJC1に対する値‘1’の上書きが開始される。

#### 【0043】

時刻t5に、アレイコントロール回路200は、制御線SAEをローレベルにする。これにより、センスアンプ140の動作が停止し、ビット線BLおよびビット相補線BLbの電位はローレベルになる。したがって、強誘電体キャパシタJC1に対する上書きは終了する。

#### 【0044】

時刻t6に、アレイコントロール回路200は、ワード線WL0および判定用ワード線JWL0、JWL1をローレベルにする。これにより、強誘電体キャパシタC0に値‘0’を書き込むための動作は、すべて終了する。

#### 【0045】、

次に、メモリセルMC0の記憶データ‘0’が判定用メモリセルJMC0に書き込まれる（図3、図4の時刻t7～t12参照）。

#### 【0046】

まず、時刻t7に、アレイコントロール回路200が、ワード線WL0、プレート線PL0および制御線BLVEDをハイレベルにする。ワード線WL0およびプレート線PL0をハイレベルにすることにより、強誘電体キャパシタC0の

分極に応じた電位（ここではローレベル）がビット線 B L に出力される。また、制御線 B L V E D がハイレベルになることにより、基準電位発生回路 1 3 2 がビット相補線 B L b に基準電位 V ref を出力する。基準電位 V ref は、例えば、ハイレベルとローレベルとの中間の電位に設定されている。

#### 【 0 0 4 7 】

時刻 t 8 に、アレイコントロール回路 2 0 0 が、制御線 B L V E D をローレベルにするとともに制御線 S A E をハイレベルにする。これにより、基準電位発生回路 1 3 2 が基準電位 V ref の出力を停止し、且つ、センスアンプ 1 4 0 が動作を開始する。センスアンプ 1 4 0 は、ビット線 B L およびビット相補線 B L b の電位を比較して、電位が高い方（ここではビット相補線 B L b ）にハイレベルを印加し且つ電位が低い方（ここではビット B L ）にローレベルを印加する。ビット線 B L がローレベルになると、プレート線 P L 0 とビット線 B L との電位差により、強誘電体キャパシタ C 0 に対する値 ‘ 0 ’ の上書きが開始される。なお、ワード線 W L 1 ~ W L n がローレベルなので、他のメモリセルの強誘電体キャパシタ C 1 ~ C n に対する書き込みは行われない。

#### 【 0 0 4 8 】

時刻 t 9 に、アレイコントロール回路 2 0 0 が、判定用ワード線 J W L 0 , J W L 1 および判定用プレート線 J P L 0 を、ハイレベルにする。このとき、判定用プレート線 J P L 0 がハイレベルなので、判定用強誘電体キャパシタ J C 0 に対する値 ‘ 0 ’ の書き込みが開始される。

#### 【 0 0 4 9 】

時刻 t 1 0 に、アレイコントロール回路 2 0 0 が、プレート線 P L 0 および判定用プレート線 J P L 0 をローレベルにする。プレート線 P L 0 がローレベルになることにより、強誘電体キャパシタ C 0 に対する上書きが終了する。また、判定用プレート線 J P L 0 がローレベルになることにより、判定用強誘電体キャパシタ J C 0 に対する書き込みが終了し、且つ、判定用強誘電体キャパシタ J C 1 に対する値 ‘ 1 ’ の書き込みが開始される。

#### 【 0 0 5 0 】

時刻 t 1 1 に、アレイコントロール回路 2 0 0 が、制御線 S A E をローレベル

にする。これにより、センスアンプ140の動作が停止し、ビット線BLおよびビット相補線BLbの電位がローレベルになる。これにより、強誘電体キャパシタJC1に対する書き込みが終了する。

#### 【0051】

時刻t12に、アレイコントロール回路200が、ワード線WL0および判定用ワード線JWL0, JWL1をローレベルにする。これにより、判定用強誘電体キャパシタJC0, JC1に値を書き込むための動作は、すべて終了する。

#### 【0052】

このように、この実施の形態では、判定用メモリセルJMC0に格納されたデータ‘0’をメモリセルMC0に書き込み、さらに、当該データ‘0’をメモリセルMC0から再度判定用メモリセルJMC0に書き込む。

#### 【0053】

その後、アレイコントロール回路200は、t1～t12と同様の動作を、偶数番目のメモリセルMC2, MC4, …, MCn-1について順次実行する。すなわち、JMC0の格納値‘0’が、MC2→JMC0→MC4→JMC0→…→JMC0→MCn-1の順に書き込まれる。なお、最後にJMC0に格納された値が‘0’であれば、これらのメモリセルMC0, MC2, …, MCn-1は値‘0’の書き込み・読み出しを正しく行えることが解る。

#### 【0054】

次に、アレイコントロール回路200は、図2と同様にして、判定用メモリセルJMC2に格納されたデータ‘1’をメモリセルMC0, MC2, …, MCn-1に順次書き込む動作を実行する。すなわち、JMC2の格納値‘1’が、MC0→JMC2→MC2→JMC2→…→JMC2→MCn-1の順に書き込まれる。なお、最後にJMC2に格納された値が‘1’であれば、これらのメモリセルMC0, MC2, …, MCn-1は値‘1’の書き込み・読み出しを正しく行えることが解る。

#### 【0055】

次に、ビット相補線BLbに接続されたメモリセルMC1, MC3, …, MCnについても、同様の試験動作を実行する。

## 【0056】

まず、判定用メモリセル JMC 5 の格納値 '0' が、MC 1 → JMC 5 → MC 3 → JMC 5 → . . . → JMC 5 → MC n の順に書き込まれる。図 5 に、判定用メモリセル JMC 5 とメモリセル MC 1 との間で値 '0' を相互に書き込むときのタイミングチャートを示す。図 5 の試験動作は、ビット線 BL に基準電位  $V_{ref}$  を供給する点と、判定用ワード線 JW L 4, JW L 5 および判定用プレート線 JP L 2 をハイレベルにする点とが、図 3 のタイミングチャートと異なる。この試験動作の最後に JMC 5 に格納された値が '0' であれば、これらのメモリセル MC 1, MC 3, . . . , MC n は値 '0' の書き込み・読み出しを正しく行えることが解る。

## 【0057】

続いて、判定用メモリセル JMC 7 の格納値 '1' が、MC 1 → JMC 7 → MC 3 → JMC 7 → . . . → JMC 7 → MC n の順に書き込まれる。この試験動作の最後に JMC 7 に格納された値が '1' であれば、これらのメモリセル MC 1, MC 3, . . . , MC n は値 '1' の書き込み・読み出しを正しく行えることが解る。

## 【0058】

その後、アレイコントロール回路 200 は、判定用メモリセル JMC 0 ~ JMC 7 の格納値を、外部に出力する。まず、制御線 YSEL 0 をハイレベルにしてゲートトランジスタ GT 0, GT b 0 をオンさせ、次に判定用ワード線 JW L 0, JW L 1 および判定用プレート線 JP L 0 をハイレベルにすることにより、判定用メモリセル JMC 0, JMC 1 の格納値をディジット線 DB およびディジット相補線 DB b に出力することができる。その後、判定用ワード線 JW L 0, JW L 1 および判定用プレート線 JP L 0 をローレベルに戻し、判定用ワード線 JW L 2, JW L 3 および判定用プレート線 JP L 2 をハイレベルにすることにより、判定用メモリセル JMC 2, JMC 3 の格納値をディジット線 DB およびディジット相補線 DB b に出力することができる。同様にして、判定用メモリセル JMC 4, JMC 5 の格納値および判定用メモリセル JMC 6, JMC 7 の格納値も、ディジット線 DB およびディジット相補線 DB b に出力される。

## 【0059】

最後に、外部の試験装置が、このようにして出力された判定用メモリセル JMC 0～JMC 7 の格納値を、最初に判定用メモリセル JMC 0～JMC 7 に書き込まれた値と比較することにより、メモリセル MC 0～MC n の良否を判定する。不良と判定された場合、これらのメモリセル MC 0～MC n からなるメモリセル行は、冗長用メモリセルに代替される。

## 【0060】

以上説明したように、この実施の形態では、アレイブロック 100 内に判定用メモリセル JMC 0～JMC 7 を設けることとした。そして、上述のようにして判定用メモリセル JMC 0～JMC 7 とメモリセル MC 0～MC n とのデータ転送を繰り返し、最後に判定用メモリセル JMC 0～JMC 7 に書き込まれたデータの値から、メモリセル MC 0～MC n からなるメモリセル行の良否を判定することにした。このため、判定用メモリセル JMC 0～JMC 7 に書き込まれた 8 個のデータのみから当該メモリセル行の良否を判定することができるので、各メモリセル MC 0～MC n をすべて外部に読み出して判定する場合と比較して、判定作業が容易になる。したがって、強誘電体メモリの試験を行う外部試験装置の処理が簡単になる。また、外部試験装置に出力する判定用データが 8 ビットでよいので、すべてのメモリセル MC 0～MC n のデータを出力する場合と比較して、出力に要する時間が短くなる。

## 【0061】

加えて、この実施の形態では、判定用メモリセル JMC 0, JMC 1 のペア、判定用メモリセル JMC 2, JMC 3 のペア、判定用メモリセル JMC 4, JMC 5 のペアおよび判定用メモリセル JMC 6, JMC 7 のペアがそれぞれ 2T/2C の判定用メモリセルとして動作するように、判定用ワード線 JWL 0～JWL 7 の電位を制御することとした。このため、判定用メモリセル JMC 0, JMC 2, JMC 4, JMC 6 から値を読み出すときの参照電位は、基準電位発生回路 131, 132 の参照電位 Vref ではなく、判定用メモリセル JMC 1, JMC 3, JMC 5, JMC 7 から出力される格納値の電位である。ここで、上述のように、参照電位 Vref はハイレベルとローレベルとの中間電位であるが、判定

用メモリセル JMC 1, JMC 3, JMC 5, JMC 7 から読み出される電位はハイレベルまたはローレベルである。したがって、判定用メモリセルを通常の 1T/1C 構造にした場合と比較して、ビット線 BL とビット相補線 BLb との電位差を 2 倍にすることができる。このため、判定用メモリセルとメモリセルとの間でデータ転送を繰り返しても、記憶値の信頼性が損なわれ難くなる。すなわち、この実施の形態によれば、判定用メモリセルを 2T/2C 型にしたので、冗長救済試験の信頼性が高くなる。さらに、この実施の形態では、2 個の 1T/1C 型判定用メモリセルペアを同時に動作させることによって 2T/2C 型メモリセルとして用いるのであり、判定用メモリセルの構造自体はメモリセルと同一である。このため、判定用メモリセルの構造を 2T/2C 型にする場合（すなわち 2 個のトランジスタのゲートが同じワード線に接続された構造にする場合）と比較して、強誘電体メモリの設計・製造が容易である。

#### 【0062】

加えて、メモリセル部 110 を 1T/1C 型がメモリセルで構成したので、小面積で大容量の強誘電体メモリを提供することができる。

#### 【0063】

なお、上述の冗長救済試験は、判定用メモリセル JMC 0 ~ JMC 7 が正常に動作していることが前提となる。したがって、冗長救済試験前に、通常の試験方法を用いて判定用メモリセル JMC 0 ~ JMC 7 の動作試験を行うことが望ましい。

#### 【0064】

##### 第 2 の実施の形態

次に、この発明の第 2 の実施の形態として、アレイコントロール回路の改良例を説明する。

#### 【0065】

図 6 は、この実施の形態に係る強誘電体メモリの構成を概略的に示す回路図である。図 6 に示した強誘電体メモリは、アレイコントロール回路 200 内に YSEL コントロール回路 610 と SAE コントロール回路 620 とを備えている点で、上述の第 1 の実施の形態と異なる。

**【0066】**

図7 (A) は、YSELコントロール回路610の内部構成を示す回路図である。また、図7 (B) は、SAEコントロール回路620の内部構成を示す回路図である。図7 (A)、(B) は、カラム下位アドレスをAY0～AY3とし且つカラム上位アドレスをAY4～AYiとした場合の例である。

**【0067】**

図7 (A) に示したように、YSELコントロール回路610は、ANDゲート611-0～611-mと、インバータ612、613-0～613-3を備えている。

**【0068】**

ANDゲート611-0～611-mは、テストモード信号TM0の反転値およびYSELイネーブル信号YSELENを入力し、さらに、カラム下位アドレスAY0～AY3およびそれらの反転値の一部を入力する。そして、これらの入力信号の論理積を出力する。

**【0069】**

インバータ612は、テストモード信号TM0を反転する。

**【0070】**

インバータ613-0～613-3は、カラム下位アドレスAY0～AY3を反転する。

**【0071】**

このような構成により、YSELコントロール回路610は、テストモード信号TM0がハイレベルのとき（すなわち冗長救済試験時）には、他の信号の値に拘わらず、すべての出力信号YSEL0～YSELMをローレベルにする。このため、冗長救済試験時には、すべてのアレイブロック100-0～100-kにおいて、ゲートトランジスタGT00～GTmn、GTb00～GTbmnnがオフして、センスアンプ140-00～140mnとディジット線DB0～DBnおよびディジット相補線DBb0～DBbnとが遮断される。

**【0072】**

一方、通常動作時には、テストモード信号TM0がローレベルになる。この場



合、YSELコントロール回路610は、YSELイネーブル信号YSELENがハイレベルのときに、カラム下位アドレスAY0～AY3の信号レベルに応じて、YSEL0～YSELmの電位を切り換える。

#### 【0073】

図7(B)に示したように、SAEコントロール回路620は、ANDゲート621-0～621-kと、ORゲート622-0～622-kと、インバータ623-0～623-iとを備えている。

#### 【0074】

ANDゲート621-0～621-kは、BLKイネーブル信号BLKENを入力し、さらに、カラム上位アドレスAY4～AYiおよびそれらの反転値の一部を入力する。そして、これらの入力信号の論理積を出力する。

#### 【0075】

ORゲート622-0～622-kは、テストモード信号TM1と、ANDゲート621-0～621-kの出力値との論理和を出力する。

#### 【0076】

インバータ623-0～623-iは、カラム上位アドレスAY4～AYiを反転する。

#### 【0077】

このような構成により、SAEコントロール回路620は、テストモード信号TM1がハイレベルのとき（すなわち冗長救済試験時）には、他の信号の値に拘わらず、すべての出力信号SAE0～SAEkをハイレベルにする。このため、冗長救済試験時には、すべてのアレイブロック100-0～100-kにおいて、センスアンプ140-0～140-mnが同時に動作を開始する。

#### 【0078】

一方、通常動作時には、テストモード信号TM1がローレベルになる。この場合、SAEコントロール回路620は、BLKイネーブル信号BLKENがハイレベルのときに、カラム上位アドレスAY0～AYiの信号レベルに応じて、SAE0～SAEkの電位を切り換える。

#### 【0079】

以上説明したように、この実施の形態に係る強誘電体メモリでは、カラムアドレス等の値に拘わらず、テストモード信号TM0をハイレベルにするだけですべてのゲートトランジスタGT00～GTmnを同時にオフさせることができ、且つ、テストモード信号TM1をハイレベルにするだけですべてのセンスアンプ140-0～140-mnを同時に動作させることができる。このため、簡単な制御で、すべてのメモリセル行に対する冗長救済試験を同時に実行することができる。すなわち、この実施の形態によれば、簡単な制御で、試験時間の短縮を実現することができる。

### 【0080】

#### 第3の実施の形態

次に、この発明の第3の実施の形態について、説明する。この実施の形態に係る強誘電体メモリのアレイブロック部の構成は第1の実施の形態（図1、図2参照）と同様であるが、周辺回路の構成が異なる。

### 【0081】

図8～図10は、この実施の形態に係る周辺回路の構成を概略的に示す回路図である。

### 【0082】

図8に示したように、この実施の形態の強誘電体メモリは、アレイコントロール回路810と、テストパターン発生回路820と、コントロールロジック回路830と、データコントロール回路840とを備えている。

### 【0083】

アレイコントロール回路810は、基準電位コントロール回路811、ワード線ドライバ812、プレート線ドライバ813、判定用ワード線ドライバ814、判定用プレート線ドライバ815、YSELコントロール回路816およびSAEコントロール回路817を備えている。

### 【0084】

基準電位コントロール回路811は、図9（A）に示したように、ANDゲート911、912と、ORゲート913とインバータ914とを備えている。ANDゲート911は、ORゲート913の出力とロウ最下位アドレスAX0との

論理積を出力する。ANDゲート912は、ORゲート913の出力とロウ最下位アドレスAX0の反転値との論理積を出力する。ORゲート913は、基準電位イネーブル信号VREFENとテストモード信号TM9との論理和を出力する。インバータ914は、ロウ最下位アドレスAX0の反転値を出力する。このような構成によれば、基準電位イネーブル信号VREFENまたはテストモード信号TM9の一方がハイレベルになったときに、ロウ最下位アドレスAX0の電位に応じて、基準電位制御信号BLVEU、BLVEDの一方をハイレベルにすることができる。

#### 【0085】

ワード線ドライバ812は、図9(B)に示したように、ANDゲート921-0~921-nと、ORゲート922と、インバータ923-0~923-jとを備えている。ANDゲート921-0~921-nは、ORゲート922の出力を入力し、さらに、ロウアドレスAX0~AXjおよびその反転値の一部を入力する。ORゲート922は、ワード線イネーブル信号WLENおよびテストモード信号TM3の論理和を出力する。インバータ923-0~923-jは、ロウアドレスAX0~AXjを反転する。このような構成によれば、ワード線イネーブル信号WLENまたはテストモード信号TM3がハイレベルになったときに、ロウアドレスAX0~AXjの値に応じて、ワード線WL0~WLnのいずれか1本をハイレベルにすることができる。

#### 【0086】

プレート線ドライバ813は、図9(C)に示したように、ANDゲート931-0~931-nと、ORゲート932と、インバータ933-1~933-jとを備えている。ANDゲート931-0~931-nは、ORゲート932の出力を入力し、さらに、ロウアドレスAX1~AXj（すなわち最下位アドレスを除くロウアドレス）およびその反転値の一部を入力する。ORゲート932は、プレート線イネーブル信号PLENおよびテストモード信号TM4の論理和を出力する。インバータ933-1~933-jは、ロウアドレスAX1~AXjを反転する。このような構成によれば、プレート線イネーブル信号PLENまたはテストモード信号TM4がハイレベルになったときに、ロウアドレスAX1

～AX<sub>j</sub>の値に応じて、プレート線PL<sub>0</sub>～PL<sub>m</sub>のいずれか1本をハイレベルにすることができる。プレート線ドライバ813がロウ最下位アドレスAX<sub>0</sub>を考慮せずに選択されるのは、プレート線がローアドレス2個に1本の割合で設けられているからである。

#### 【0087】

判定用ワード線ドライバ814は、図10（A）に示したように、ANDゲート941-0～941-3と、インバータ942-0，942-1とを備えている。ANDゲート941-0～941-3は、テストモード信号TM5を入力し、さらに、テストモード信号TM7，TM8およびそれらの反転値の一部を入力する。また、ANDゲート941-0～941-3は、それぞれ2本の判定用ワード線に接続されている。第1の実施の形態と同様、この実施の形態でも2個の1T／1C型判定用メモリセルを2T／2C型メモリセルとして動作させるからである。インバータ942-0，942-1は、テストモード信号TM7，TM8を反転する。このような構成によれば、テストモード信号TM5がハイレベルになったときに、テストモード信号TM7，TM8の値に応じて、判定用ワード線JWL<sub>0</sub>，JWL<sub>1</sub>、判定用ワード線JWL<sub>2</sub>，JWL<sub>3</sub>、判定用ワード線JWL<sub>4</sub>，JWL<sub>5</sub>、判定用ワード線JWL<sub>6</sub>，JWL<sub>7</sub>のうちのいずれか1ペアをハイレベルにすることができる。

#### 【0088】

判定用プレート線ドライバ815は、図10（B）に示したように、ANDゲート951-0～951-3と、インバータ952-0，952-1とを備えている。ANDゲート951-0～951-3は、テストモード信号TM6を入力し、さらに、テストモード信号TM7，TM8およびそれらの反転値の一部を入力する。インバータ952-0，952-1は、テストモード信号TM7，TM8を反転する。このような構成によれば、テストモード信号TM6がハイレベルになったときに、テストモード信号TM7，TM8の値に応じて、判定用プレート線JWL<sub>0</sub>～JWL<sub>3</sub>のいずれか1本をハイレベルにすることができる。

#### 【0089】

YSELコントロール回路816およびSAEコントロール回路817の内部

構成は、第2の実施の形態に係るYSELコントロール回路610およびSAEコントロール回路620の内部構成と同じである（図7参照）。

#### 【0090】

テストパターン発生回路820は、図8に示したように、パターンジェネレータ821と、アドレススイッチ回路822と、データスイッチ回路823とを備えている。パターンジェネレータ821は、外部入力テスト信号TESTがハイレベルになったときに、テストモード信号TM0～TM9、テスト用アドレス、テスト用データ、アドレス切換信号TADDSWおよびデータ切換信号TADATASWを生成する。アドレススイッチ回路822は、アドレス切換信号TADDSWにしたがって、強誘電体メモリ素子のアドレス入力ポート（図示せず）またはパターンジェネレータ821の一方を、内部アドレスバスに接続する。データスイッチ回路823は、データ切換信号TADATASWにしたがって、強誘電体メモリ素子のデータ入出力ポート（図示せず）またはパターンジェネレータ821の一方を、内部データバスに接続する。

#### 【0091】

コントロールロジック回路830は、テストモード信号TM2および外部入力信号にしたがって、データコントロール信号DATACONおよび各種イネーブル信号VREFEN, WLEN, PLEN, YSELEN, BLKENを生成する。

#### 【0092】

データコントロール回路840は、データコントロール信号DATACONにしたがって、ディジット線DB0～DBnおよびディジット相補線DBb0～DBbn上のデータを内部データバスに出力し、また、内部データバス上のデータをディジット線DB0～DBnおよびディジット相補線DBb0～DBbnに出力する。

#### 【0093】

次に、図8～図10に示した周辺回路の動作を説明する。

#### 【0094】

通常動作の場合、外部入力テスト信号TESTがローレベルに設定される。こ

れにより、パターンジェネレータ 821 は、テストモード信号 TM0～TM9 をローレベルに固定し、さらに、アドレス切換信号 TADDSW およびデータ切換信号 TDATASW をローレベルに固定する。これにより、アドレススイッチ回路 822 は内部アドレスバスをアドレス入力ポートに接続し且つデータスイッチ回路 823 は内部データバスをデータ入出力ポートに接続する。また、コントロールロジック回路 830 は、テストモード信号 TM2 がローレベルなので、外部入力信号にしたがって、データコントロール信号 DATACON および各種イネーブル信号 VREFEN, WLEN, PLEN, YSELEN, BLKEN を生成する。そして、これらのイネーブル信号と外部から入力されたアドレス信号とにしたがって、基準電位コントロール回路 811 は BLVEU, BLVED の一方を適宜ハイレベルにし、ワード線ドライバ 812 はワード線 WL0～WL<sub>n</sub> のいずれかを適宜ハイレベルにし、プレート線ドライバ 813 はプレート線 PL0～PL<sub>m</sub> のいずれかを適宜ハイレベルにし、また、SAE コントロール回路 817 は制御線 SAE0～SAE<sub>k</sub> のいずれかを適宜ハイレベルにする。これにより、所望のアドレスに対するデータの書き込みおよび読み出しを行うことができる。

#### 【0095】

試験動作の場合、外部入力テスト信号 TEST がハイレベルに設定される。これにより、パターンジェネレータ 821 は、アドレス切換信号 TADDSW およびデータ切換信号 TDATASW をハイレベルに固定する。これにより、アドレススイッチ回路 822 およびデータスイッチ回路 823 は内部アドレスバスおよび内部データバスをパターンジェネレータ 821 に接続する。そして、パターンジェネレータ 821 が、テストモード信号 TM0～TM9、テスト用アドレスおよびテスト用データの生成を開始する。試験動作では、コントロールロジック回路 830 は、各種イネーブル信号 VREFEN, WLEN, PLEN, YSELEN, BLKEN を生成しない。そして、アレイコントロール回路 810 内の各回路 811～817 は、テストモード信号 TM3～TM6, TM9 をイネーブル信号として動作する。そして、これらの回路 811～817 は、テストモード信号 TM0～TM2, TM7, TM8 およびテスト用アドレス信号の変化にしたが

って、書き込み／読み出し試験を行う。書き込み／読み出し試験の詳細は、第1の実施の形態の場合（図3～図5参照）と同様であるので、説明を省略する。書き込み／読み出し試験終了後、判定用メモリセルJMC0～JMC7（図2参照）に格納されたデータが、ディジット線DB0～DBn、ディジット相補線DBb0～DBbn、データコントロール回路840およびデータスイッチ回路823を介して外部の試験装置に送られ、強誘電体メモリの良否が判定される。

#### 【0096】

以上説明したように、この実施の形態によれば、強誘電体メモリの冗長救済試験を実施するにあたって、外部試験装置は1個の外部入力信号TESTを出力するだけでよく、複雑な試験制御を必要としない。したがって、簡単且つ安価な外部試験装置によって、強誘電体メモリの冗長救済試験を行うことができる。

#### 【0097】

加えて、この実施の形態によれば、試験用の端子数を少なくすることができるので、強誘電体メモリを搭載したチップの小面積化が容易になる。特に、複数種類の集積回路を混載したチップや大容量の強誘電体メモリチップの場合、チップの端子数が多くなるので、試験用の端子数が少ないことは非常に有用である。

#### 【0098】

##### 【発明の効果】

以上詳細に説明したように、本発明によれば、強誘電体メモリの回路規模を増大させることなく、低コスト且つ高速で、冗長救済試験を行うことができる。

##### 【図面の簡単な説明】

##### 【図1】

第1の実施の形態に係る強誘電体メモリの構成を概略的に示す回路図である。

##### 【図2】

図1に示したアレイブロックの内部構成の主要部を概略的に示す回路図である。

##### 【図3】

第1の実施の形態に係る強誘電体メモリの冗長試験動作を説明するためのタイミングチャートである。

**【図 4】**

図 3 のタイミングチャートの各時刻における強誘電体キャパシタの分極状態を示す概念図である。

**【図 5】**

第 1 の実施の形態に係る強誘電体メモリの冗長試験動作を説明するためのタイミングチャートである。

**【図 6】**

第 2 の実施の形態に係る強誘電体メモリの構成を概略的に示す回路図である。

**【図 7】**

(A) は図 6 に示した YSEL コントロール回路の内部構成を示す回路図であり、(B) は図 6 に示した SAE コントロール回路内部構成を示す回路図である。

**【図 8】**

第 3 の実施の形態に係る強誘電体メモリの周辺回路の構成を概略的に示す回路図である。

**【図 9】**

(A) は図 8 に示した基準電位コントロール回路の内部構成を示す回路図、(B) は図 8 に示したワード線ドライバの内部構成を示す回路図、(C) は図 8 に示したプレート線ドライバの内部構成を示す回路図である。

**【図 10】**

(A) は図 8 に示した判定用ワード線ドライバの内部構成を示す回路図、(B) は図 8 に示した判定用プレート線ドライバの内部構成を示す回路図である。

**【符号の説明】**

- 100-1 ~ 100-k    アレイブロック
- 110    メモリセル部
- 120    判定用メモリセル部
- 130    基準電位発生回路
- 140-00 ~ 140-mn    センスアンプ
- 200    アレイコントロール回路



GT00～GTmn, GTb00～GTbm n ゲートトランジスタ

BL00～BLmn ビット線

BLb00～BLbm n ビット相補線

WL0～WL n ワード線

PL0～PLm プレート線

JWL0～JWL7 判定用ワード線

JPL0～JPL3 判定用プレート線

SAE0～SAEk センスアンプ制御線

YSEL0～YSELM ゲート制御線

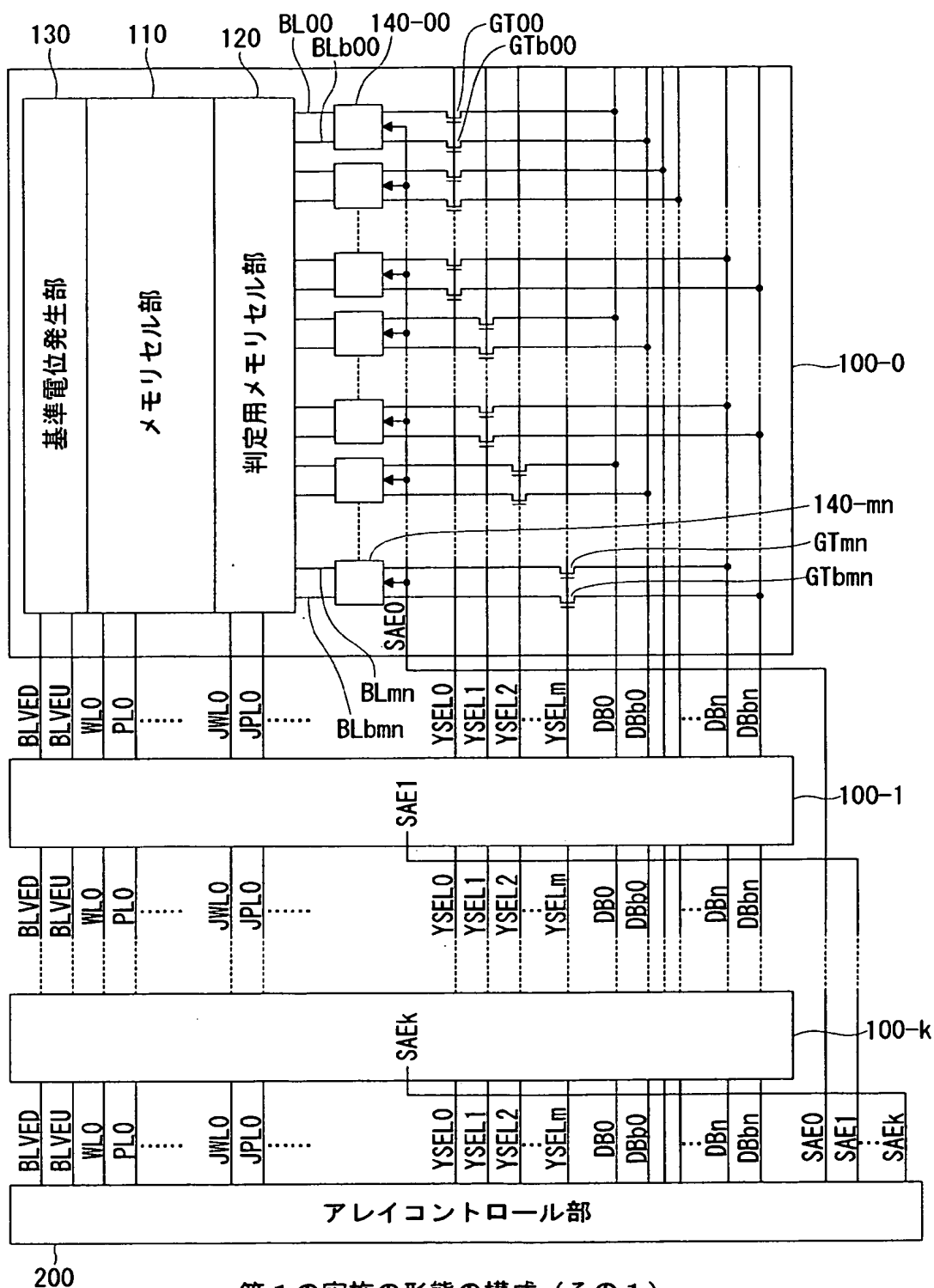
BLVEU, BLVED 基準電位制御線

DB0～DB n デジタル線

DBb0～DBbm n デジタル相補線

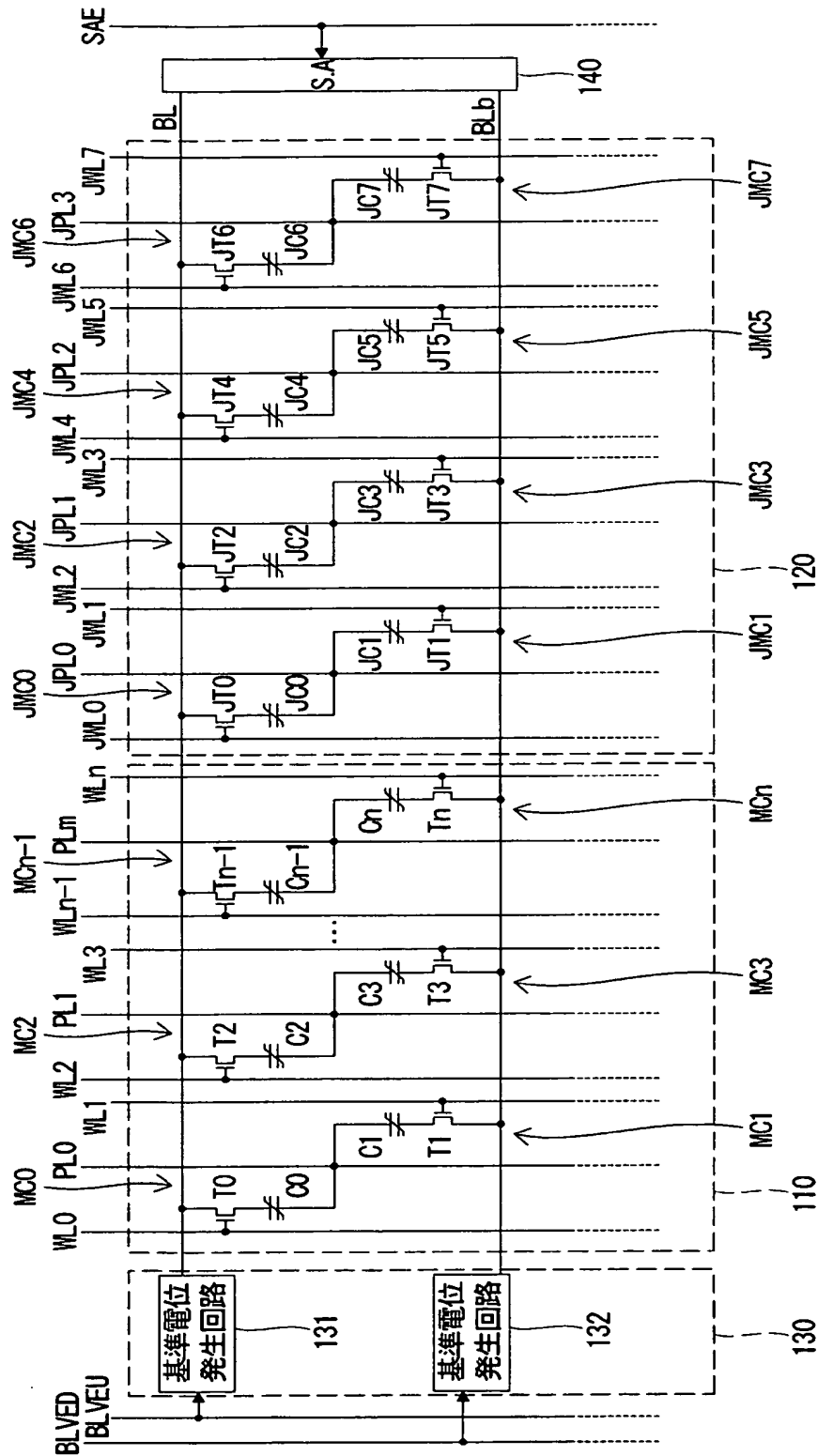
【書類名】 図面

【図 1】



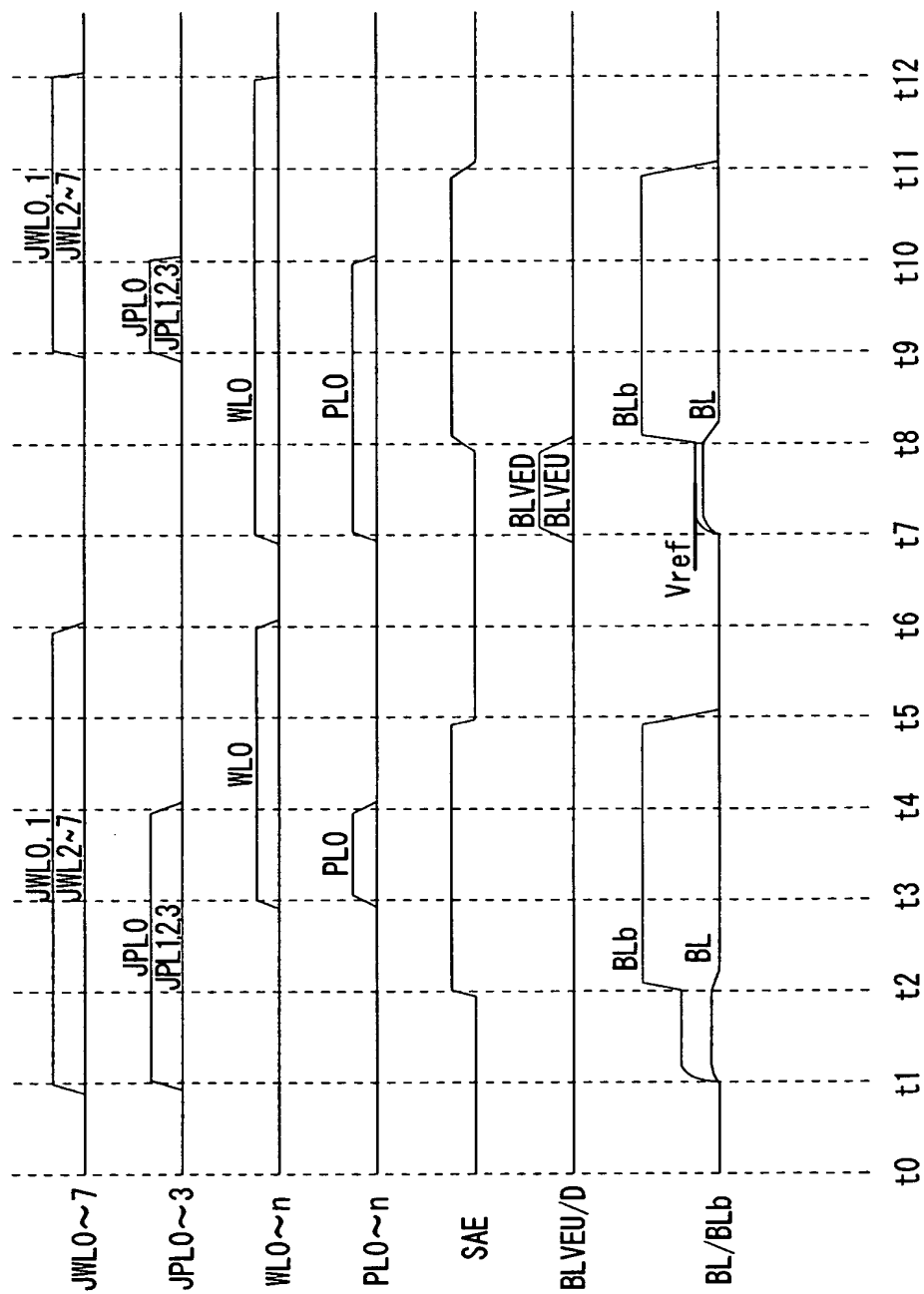
第 1 の実施の形態の構成 (その 1)

【図 2】



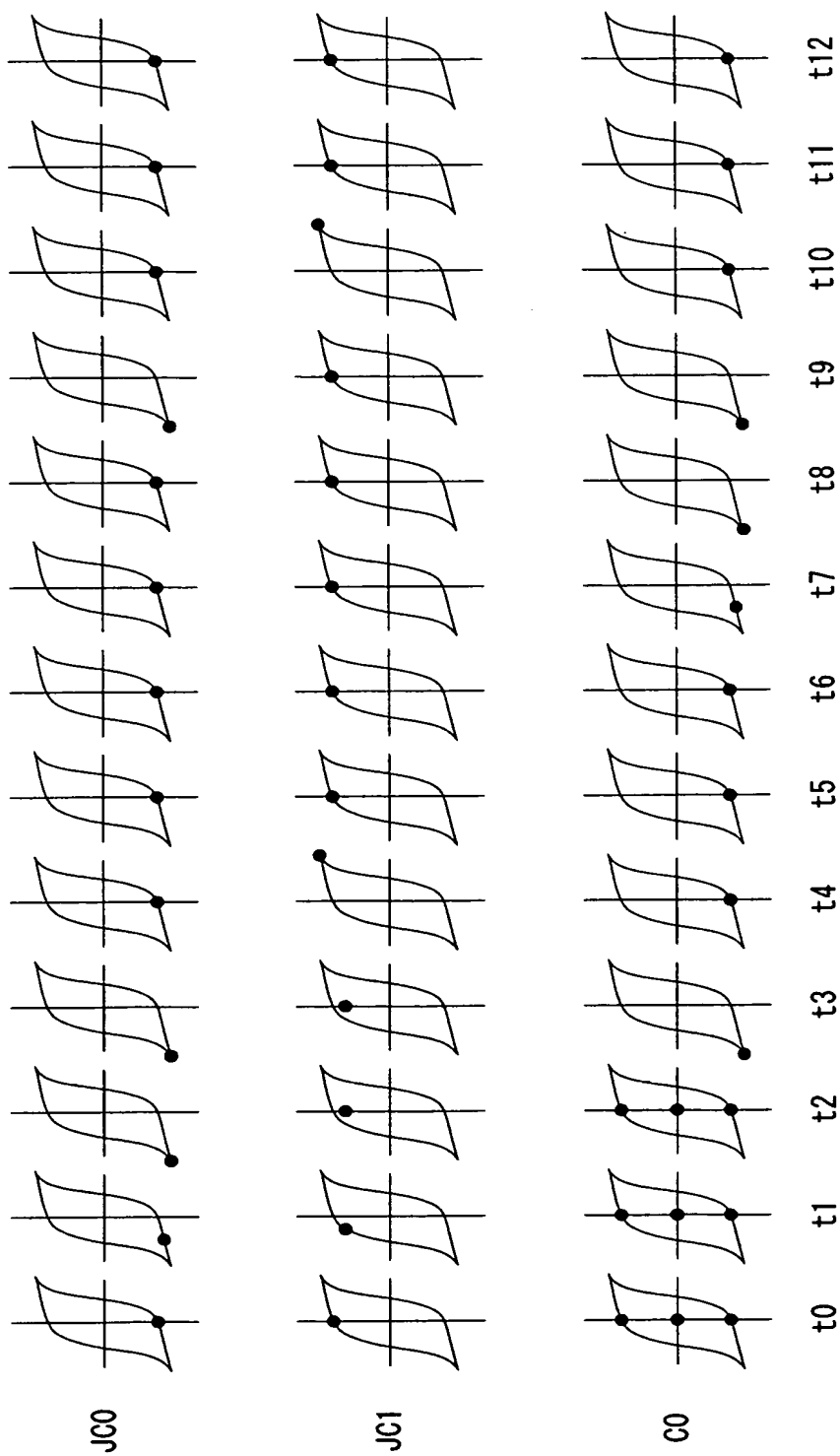
第 1 の実施の形態の形態の構成 (その 2)

【図 3】



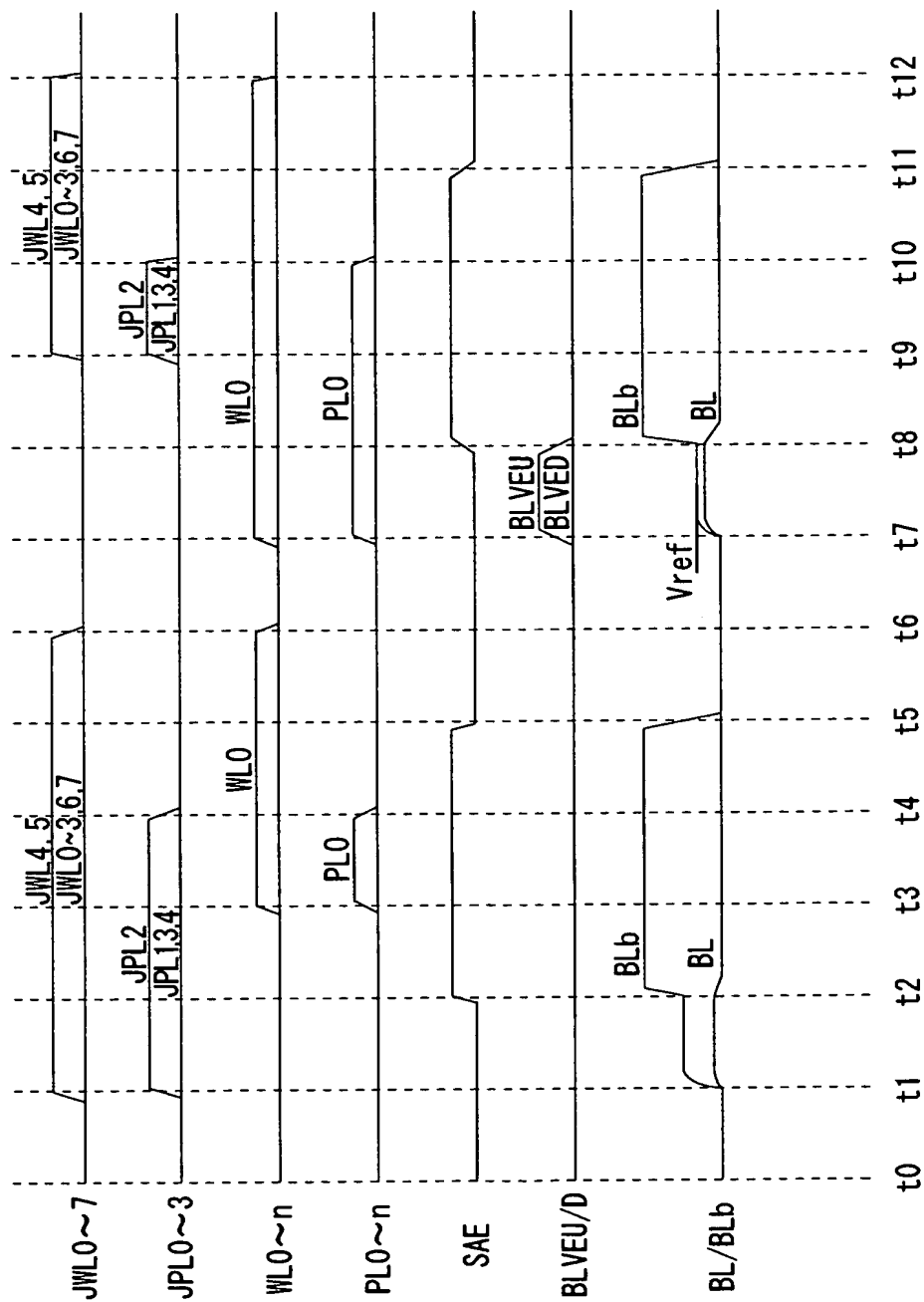
第1の実施の形態の動作 (その1)

【図 4】



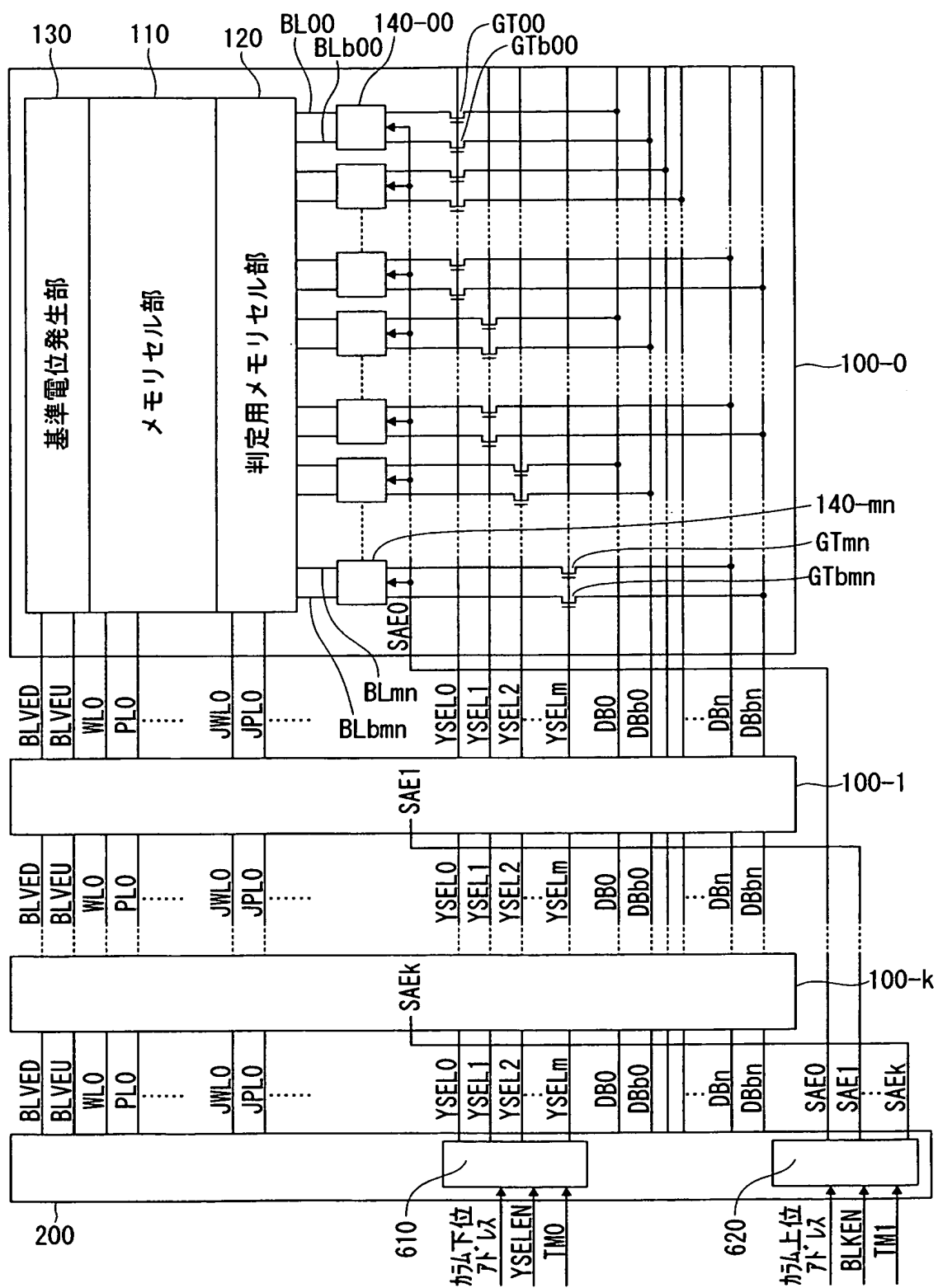
第 1 の実施の形態の動作 (その 2)

【図 5】



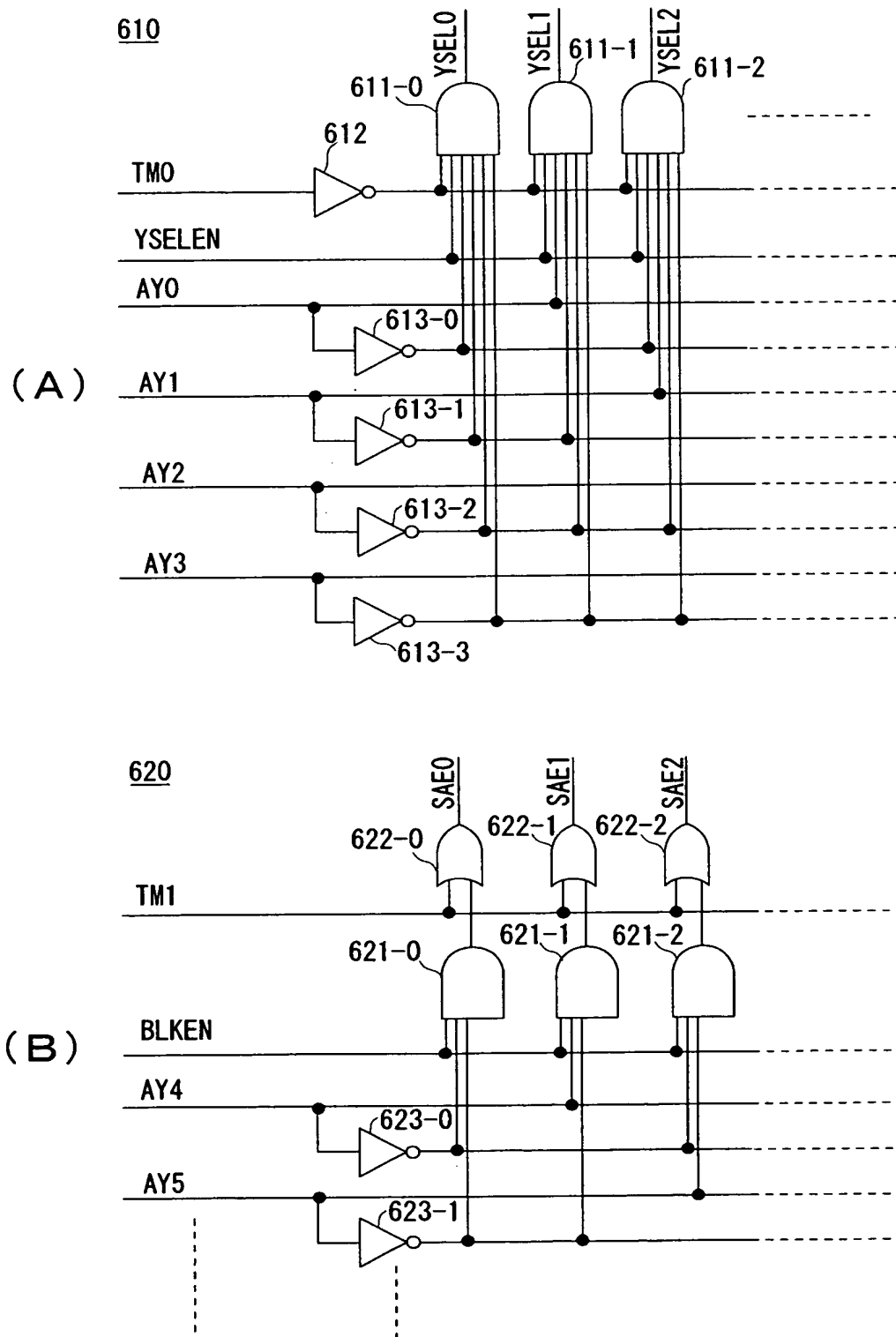
第1の実施の形態の動作(その3)

【図 6】



第2の実施の形態の構成 (その1)

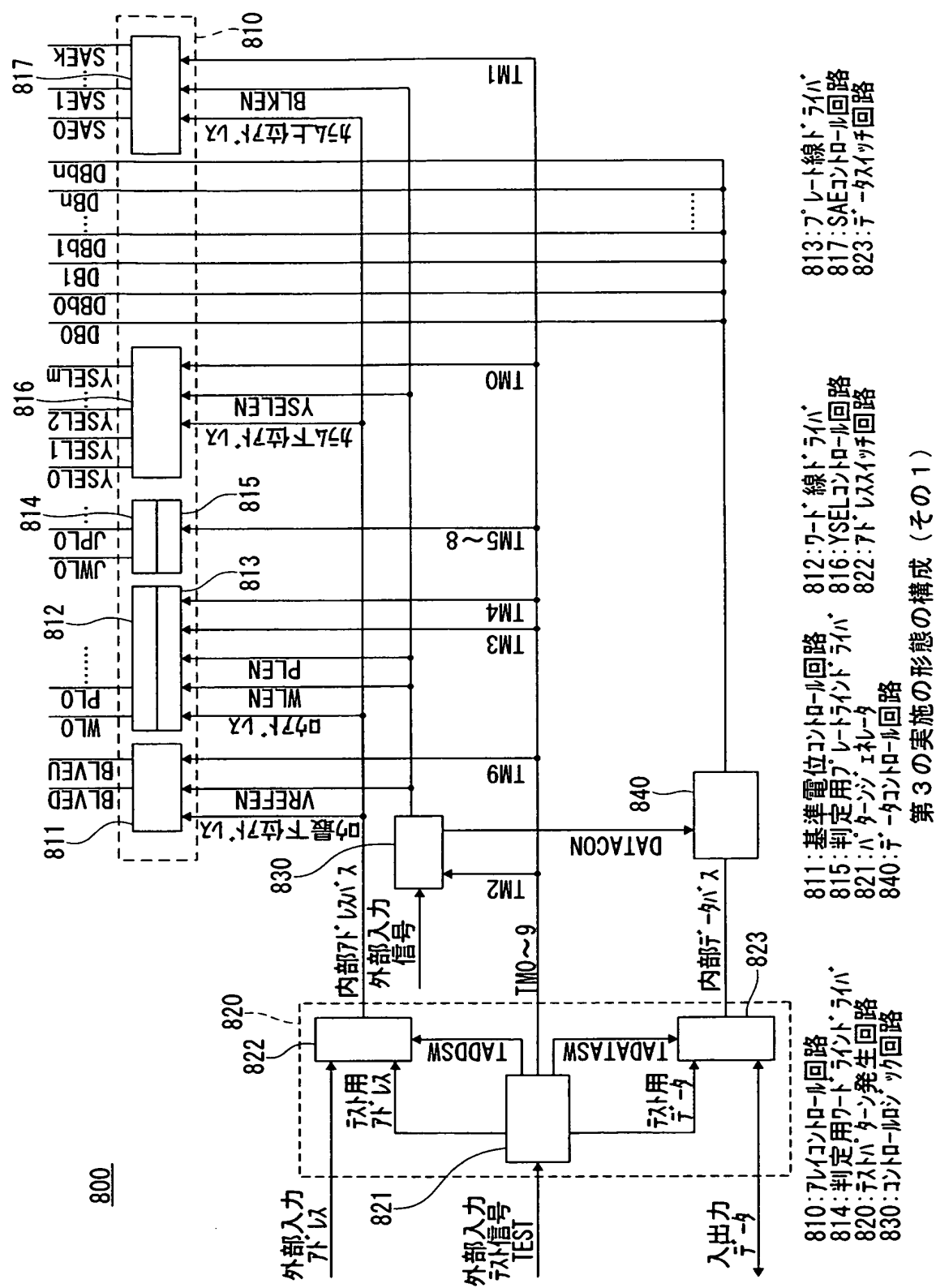
【図 7】



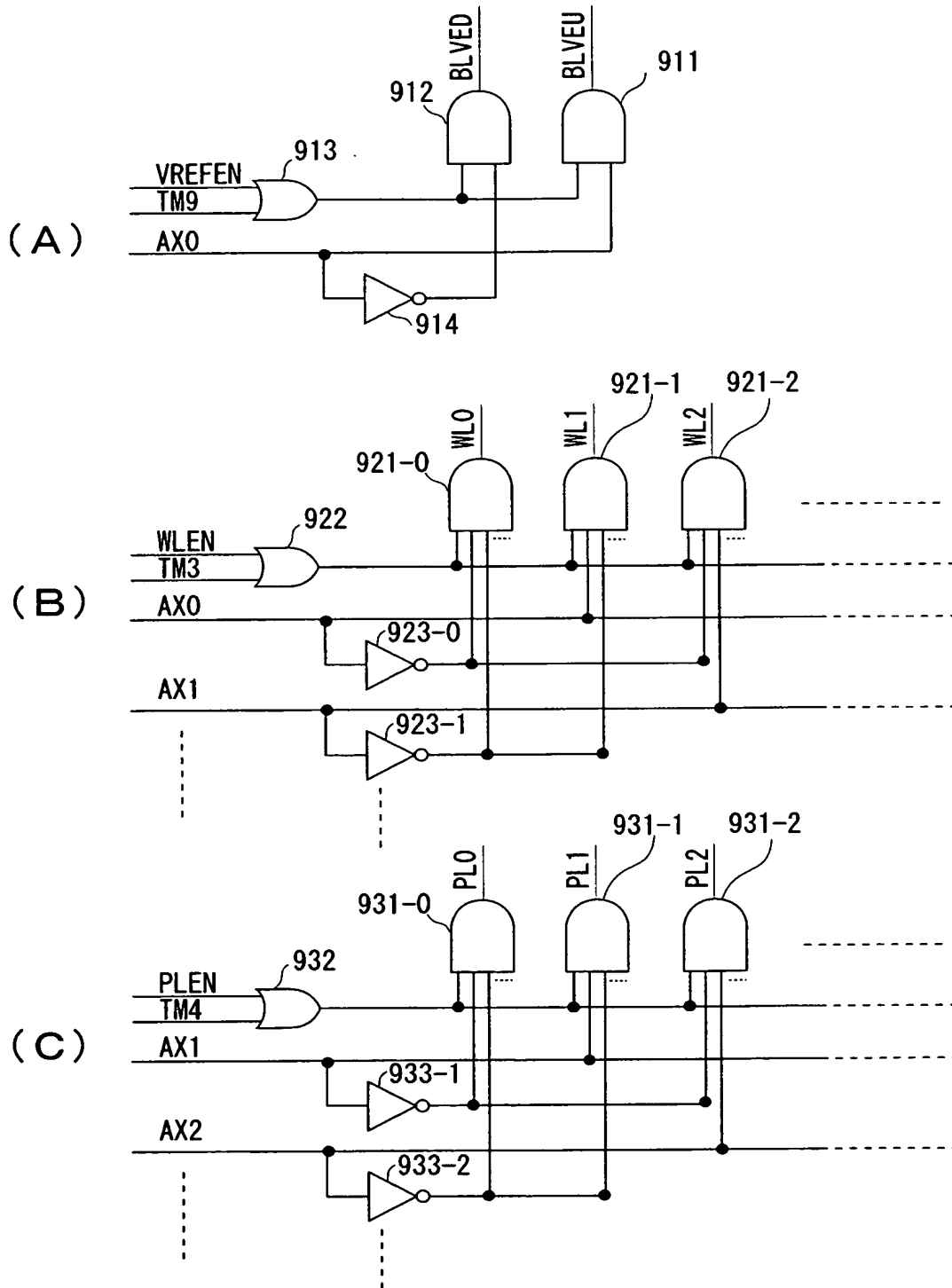
第 2 の実施の形態の構成 (その 2)



【図 8】

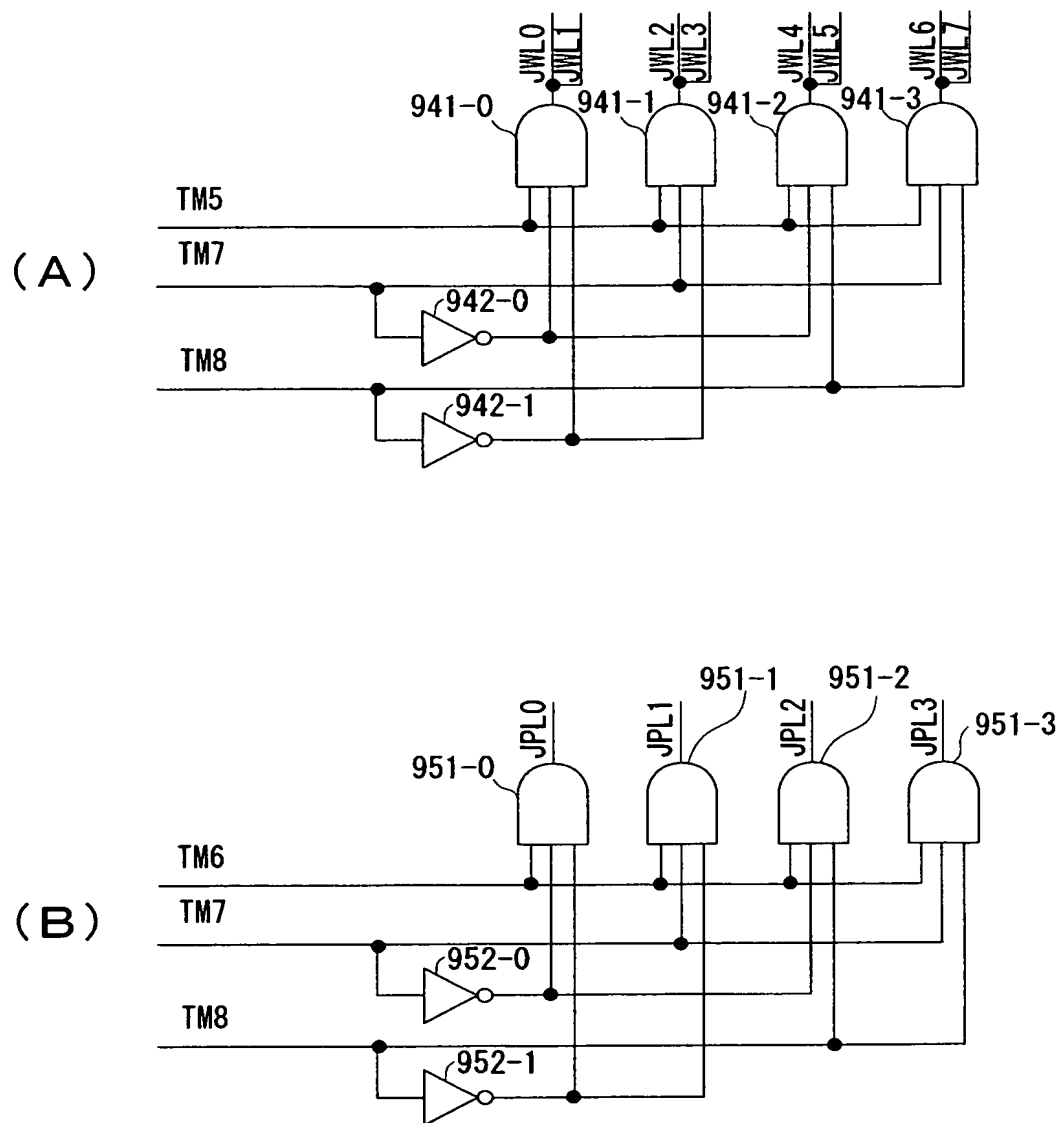


【図 9】



第 3 の実施の形態の構成 (その 2)

【図 10】



第3の実施の形態の構成（その3）

【書類名】 要約書

【要約】

【課題】 外部試験装置による制御が簡単で信頼性の高い冗長救済試験を行うことができる強誘電体メモリを提供する。

【解決手段】 1T/1C型メモリセルMC0～MCnに加えて、判定用メモリセルJMC0～JMCnが設けられる。1T/1C型の判定用メモリセルは、ペアJMC0およびJMC1、JMC2およびJMC3、JMC4およびJMC5、JMC6およびJMC7毎に、相補データが格納され、同時に書き込み／読み出しを行うように制御されるので、2T/2C型メモリセルとして動作する。試験動作時に、判定用メモリセルから読み出されたデータをメモリセルに記憶させた後で該記憶データをメモリセルから読みして判定用メモリセルに書き込む動作が、全てのメモリセルに対して行われる。判定用メモリセルの試験前後の格納データの一致／不一致により、該メモリセル行の良否が判断される。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 4 5 1 4
受付番号	5 0 3 0 0 1 6 0 6 4 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 2 月 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月31日
-------	-------------

次頁無

特願 2 0 0 3 - 0 2 4 5 1 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社